

PATENT ABSTRACTS OF JAPAN

Ref. 5

(11)Publication number : 04-241463

(43)Date of publication of application : 28.08.1992

(51)Int.Cl.

H01L 29/784

(21)Application number : 03-003206

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 16.01.1991

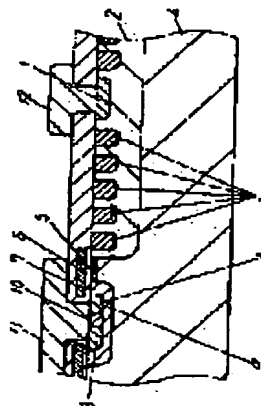
(72)Inventor : KAWASAKI HIDEO
YAMANISHI YUJI
TANIDA HIROSHI
SHINDO HIROYUKI
UNO TOSHIHIKO
YAMAGUCHI SEIKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a horizontal type MOS field effect transistor which has low on-state resistance in high pressure resistance.

CONSTITUTION: A plurality of first conductor type regions 3a are formed in the shape of a ring between a second conductor type source regions 8 of a horizontal MOS field effect transistor and a drain contact region 1 formed on a first conductor type semiconductor substrate 4 in such a manner that they may face the drain contact region 1 and have a second conductor type extension drain region 2 and surround the drain contact region 1 inside the extension drain region 2. A further attempt is made to connect a part of the first conductor type region 3a with the semiconductor substrate 4 electrically.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-241463

(43) 公開日 平成4年(1992) 8月28日

(51) Int. Cl. ⁸ H 0 1 L 29/784	識別記号 8422-4M	庁内整理番号 H 0 1 L 29/ 78	F I 3 0 1 X	技術表示箇所
--	-----------------	--------------------------	----------------	--------

審査請求 未請求 請求項の数 1 (全 3 頁)

(21) 出願番号 特願平3-3206

(22) 出願日 平成3年(1991) 1月16日

(71) 出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 川崎 英夫

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(72) 発明者 山西 雄司

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(72) 発明者 谷田 宏

大阪府門真市大字門真1006番地 松下電子工業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外 2 名)

最終頁に続く

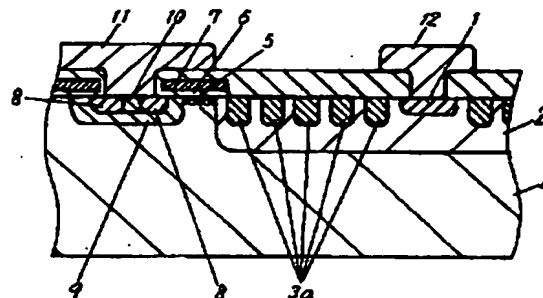
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 高耐圧でオン抵抗の低い横型MOS電界効果トランジスタを提供する。

【構成】 第一導電型の半導体基板4に形成された横型MOS電界効果トランジスタの第二導電型のソース領域8とドレインコンタクト領域1との間に、ドレインコンタクト領域1に接して第二導電型の延長ドレイン領域2を有し、延長ドレイン領域2の内部においてドレインコンタクト領域1を取り囲むように、第一導電型領域3aをリング状に複数形成し、かつその第一導電型領域3aの一部を半導体基板4と電気的に接続した。

1---ドレイン
コンタクト領域
2---延長ドレイン領域
3a---PT領域
(第一導電型領域)
4---シリコン基板
(半導体基板)
8---ソース領域



(2)

特開平4-241463

1

【特許請求の範囲】

【請求項1】第一導電型の半導体基板に形成された横型MOS電界効果トランジスタの第二導電型のソース領域とドレインコンタクト領域との間に、前記ドレインコンタクト領域に接して第二導電型の延長ドレイン領域を有し、前記延長ドレイン領域の内部においてドレインコンタクト領域を取り囲むように第一導電型領域をリング状に複数形成し、かつ前記第一導電型領域の一部を半導体基板と電気的に接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高耐圧横型MOS電界効果トランジスタ等の半導体装置に関する。

【0002】

【従来の技術】従来の高耐圧横型MOS電界効果トランジスタ（以下、LMOSと略す）について説明する。

【0003】図3は従来のLMOSの断面図である。高濃度のドレインコンタクト領域1は延長ドレイン領域2a中に形成され、さらに同様に延長ドレイン領域2に包含されたシリコン基板4と同一導電型領域3b（以下、PT領域と称する）に周囲を取り囲まれている。延長ドレイン領域2とシリコン基板4とのシリコン表面部における接合部のシリコン基板4の側にはチャンネル部5が形成され、チャンネル部5の上にはゲート酸化膜6および多結晶シリコン膜からなるゲート電極7が並設されている。チャンネル部5の横には延長ドレイン領域2に相対して第二導電型のソース領域8が形成されており、またソース領域8を取り囲むようにして高濃度の第二導電型のチャンネルストップパ9が形成されている。さらにチャンネル部5の基板バイアス効果を抑制するため、ソース領域8に隣接して第二導電型の高濃度領域10を設け、ソース領域8と同様にソース電極11と電気的に接続されている。またPT領域3bはシリコン基板4と電気的に接続されている。

【0004】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、延長ドレイン領域表面全域にわたってPT領域が形成されているため、電流の流れる領域は延長ドレイン領域の深さとPT領域の深さの差が幅となり、さらにシリコン表面から深いため、延長ドレイン領域の濃度の薄い領域である。またこのPT領域の下は延長ドレイン領域の抵抗成分が、全オン抵抗の大部分を占めているため、ゲートがオン時のドレイン電極-ソース電極間の損失（オン抵抗）が大きくなるという課題を有していた。

【0005】本発明は上記従来の課題を解決するもので、オン抵抗を低減した半導体装置を提供することを目的とする。

【0006】

【課題を解決するための手段】この目的を達成するため

2

に本発明の半導体装置は、第一導電型の半導体基板に形成されたLMOSの第二導電型のソース領域とドレインコンタクト領域の間にドレインコンタクト領域に接して形成した第二導電型の延長ドレイン領域中にドレインコンタクト領域を取り囲むように第一導電型領域をリング状に複数形成し、かつこの第一導電型領域の一部と半導体基板を電気的に接続した構成を有している。

【0007】

【作用】この構成によって、同じプロセス工程数で、かつ同じ高耐圧品でのオン抵抗の低減が可能であり、大幅なコストダウンが可能となる。

【0008】

【実施例】以下本発明の一実施例について図面を参照しながら説明する。

【0009】図1は本発明の一実施例における半導体装置の断面図である。図1において、1は高濃度のドレインコンタクト領域、2は延長ドレイン領域、3aはPT領域、4はシリコン基板、5はチャンネル部、6はゲート酸化膜、7はポリシリコン膜からなるゲート電極、8はソース領域、9はチャンネルストップパ、10は高濃度領域、11はソース電極、12はドレイン電極を示している。

【0010】本実施例では図1に示すように、PT領域3aがドレインコンタクト領域1を取り囲むように、リング状に複数形成される。このため、電流の流れる延長ドレイン領域2の中のシリコン表面の高濃度部も電流の流れる領域となるため、オン抵抗は低減する。ここで、重要なことは耐圧の低下をおこさないことである。そこで、PT領域3aの間隔は、ゲートオフ時に延長ドレイン領域2内に空乏層が閉じ込められるような間隔でなければならない。また、複数のリング状のPT領域3aは、すべてシリコン基板4と電気的に接続されるか、またはリングの間隔を考慮して中心のリング状のPT領域3aのみがシリコン基板4と電気的に接続されてもよい。

【0011】図2は従来品と本実施例との、同一チップサイズにおけるオン抵抗の比較図である。本実施例のオン抵抗は従来品と比較すると約70%に低減されている。

【0012】

【発明の効果】以上のように本発明は、延長ドレイン領域内にドレインコンタクト領域を囲んでリング状の高濃度領域（PT領域）を設け、そのリング状の高濃度領域の一部を半導体基板と電気的に接続した構成とすることにより、耐圧を低下させることなく、オン抵抗を低減できる優れた半導体装置を実現できるものである。

【0013】さらには、同じプロセスで素子を縮小することが可能であり、全体としてコストダウンできる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体装置の断面図

3
【図2】従来品と本実施例との同一チップサイズにおけるオン抵抗の比較図

【図3】従来の半導体装置の断面図

【符号の説明】

1 ドレインコンタクト領域

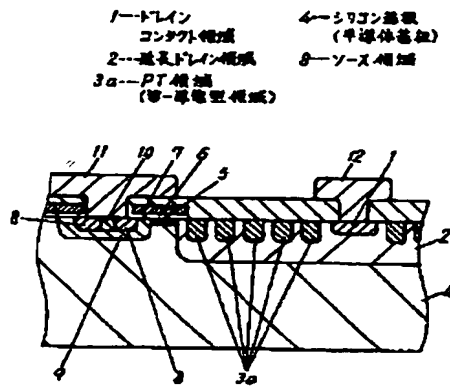
2 延長ドレイン領域

3 a PT領域 (第一導電型領域)

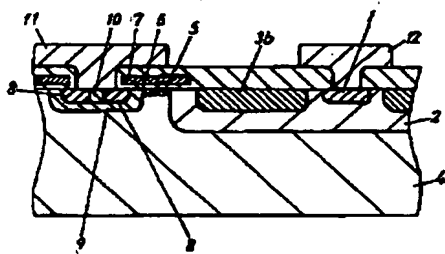
4 シリコン基板 (半導体基板)

8 ソース領域

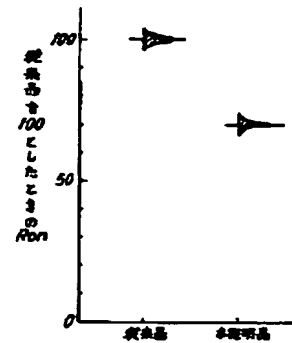
【図1】



【図3】



【図2】



フロントページの続き

(72) 発明者 進藤 裕之
大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(72) 発明者 宇野 利彦
大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(72) 発明者 山口 誠殿
大阪府門真市大字門真1006番地 松下電子
工業株式会社内